

15This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

Priority Paper  
10/14/98  
09/31/07/99

J-525 U.S. PRO  
09/31/07/99  
05/13/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年 5月16日

出願番号

Application Number:

平成10年特許願第152303号

出願人

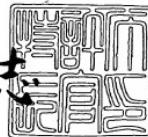
Applicant(s):

株式会社半導体エネルギー研究所

1999年 4月16日

特許庁長官  
Commissioner,  
Patent Office

伴佐山建太



出証番号 出証特平11-3024055

【書類名】 特許願  
 【整理番号】 P003884-01  
 【提出日】 平成10年 5月16日  
 【あて先】 特許庁長官 殿  
 【国際特許分類】 H01L 21/00  
 【発明の名称】 液晶表示装置およびその作製方法  
 【請求項の数】 10  
 【発明者】  
   【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
   【氏名】 平形 吉晴  
 【発明者】  
   【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
   【氏名】 佐竹 瑠茂  
 【発明者】  
   【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
   【氏名】 西 翼  
 【発明者】  
   【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
   【氏名】 桑原 秀明  
 【特許出願人】  
   【識別番号】 000153878  
   【氏名又は名称】 株式会社半導体エネルギー研究所  
   【代表者】 山崎 舜平  
 【手数料の表示】  
   【納付方法】 予納

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 液晶表示装置およびその作製方法

【特許請求の範囲】

【請求項1】

基板上にスイッチング素子と、

前記スイッチング素子と接続された透明性導電膜からなる画素電極と、

前記画素電極と接して設けられた誘電体多層膜からなる反射膜とを有することを特徴とする液晶表示装置。

【請求項2】

基板上に画素電極と、前記画素電極に接続されているスイッチング素子と、反射膜とを備えた液晶表示装置であって、

前記画素電極は、透明性導電膜で構成され、

前記画素電極の下方には、誘電体多層膜からなる前記反射膜が設けられていることを特徴とする液晶表示装置。

【請求項3】

基板上に画素電極と、前記画素電極に接続されているスイッチング素子と、反射膜とを備えた液晶表示装置であって、

前記スイッチング素子には、容量が接続され、

前記容量は、透明性導電膜からなる共通電極と、前記共通電極上の誘電体膜と、前記誘電体膜上の透明性導電膜からなる前記画素電極とで構成され、

前記共通電極の下方には、誘電体多層膜からなる前記反射膜が設けられていることを特徴とする液晶表示装置。

【請求項4】

請求項3において、前記誘電体膜は、低屈折率誘電体材料で構成され、

前記共通電極及び前記画素電極は、高屈折率を有する導電材料で構成されていることを特徴とする液晶表示装置。

【請求項5】

請求項1乃至4のいずれか一において、前記液晶表示装置は、一対の基板間に液晶が封入され、一方の基板上にマトリクス状に配置された前記画素電極と、前記

画素電極に接続されている薄膜トランジスタと、反射膜とを備えた液晶表示装置であることを特徴とする液晶表示装置。

【請求項6】

基板上にスイッチング素子を形成する工程と、  
前記スイッチング素子の上方に誘電体多層膜からなる反射膜を形成する工程と、  
前記反射膜上に透明性導電膜からなる画素電極を形成する工程とを有することを特徴とする液晶表示装置の作製方法。

【請求項7】

基板上にスイッチング素子を形成する工程と、  
前記スイッチング素子を覆って層間絶縁膜を形成する工程と、  
前記層間絶縁膜上に透明性導電膜からなる共通電極を形成する工程と、  
前記共通電極上に誘電体多層膜からなる反射膜を形成する工程と、  
前記反射膜上に透明性導電膜からなる画素電極を形成し、前記画素電極と前記誘電体多層膜と前記共通電極とからなる補助容量を形成する工程とを有することを特徴とする液晶表示装置の作製方法。

【請求項8】

請求項6または請求項7において、前記誘電体多層膜を形成する工程は、スパッタリング法または真空蒸着法を用いて形成する工程であることを特徴とする液晶表示装置の作製方法。

【請求項9】

一対の基板間に液晶が封入され、一方の基板上に第1の透明電極と、もう一方の基板上に第2の透明電極と、誘電体多層膜からなる反射膜とを有することを特徴とする液晶表示装置。

【請求項10】

請求項9において、前記第1の透明電極及び前記第2の透明電極は、ストライプ状に配置され、  
前記第2の透明電極の下方に誘電体多層膜からなる反射膜とを有する単純マトリクス型駆動方式の液晶表示装置。

【発明の詳細な説明】

## 【0001】

## 【発明が属する技術分野】

本発明は、例えばパソコン、ワープロ等の電気機器の構成に関し、特に、電気機器に備えられている液晶表示装置（LCD）および液晶表示装置における反射膜の作製方法に関するものである。また、本発明は液晶表示装置を具備した電気光学装置に適用することが可能である。

## 【0002】

なお、本明細書において「半導体装置」とは、半導体を利用して機能する装置全てを指している。従って、上記液晶表示装置および電気光学装置も半導体装置の範疇に含まれる。ただし、明細書中では、区別しやすいように液晶表示装置や電気光学装置といった言葉を使いわける。

## 【0003】

## 【従来の技術】

一般に反射型の液晶表示装置が知られている。反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため消費電力が少ないといった長所を有している。なお、反射型の液晶表示装置は、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

## 【0004】

図1は従来の構成の一例を示した模式図である。図1において、基板10と対向基板17の間には、基板10の上面から薄膜トランジスタ等のスイッチング素子11、層間絶縁膜12、画素電極13、配向膜14、液晶層15、配向膜16、対向電極16の順に形成されている。また、入射光20は、画素電極で反射され、反射光21が生じる。なお、図1は模式図であるため、全体が示されていないが、基板10の表面には、多数のスイッチング素子および多数の画素電極がマトリクス状に形成されている。

## 【0005】

反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれを組み合わせることで、画像表

示を行うものである。なお、画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ等のスイッチング素子に電気的に接続している。

## 【0006】

このような従来の構成、即ち、反射率の高い金属材料からなる画素電極を反射膜として用いる構成とした場合、光の反射率に限界（例えばアルミニウム電極で92%未満）があった。

## 【0007】

## 【発明が解決しようとする課題】

従来の反射膜（金属材料からなる画素電極）は、光の反射及び乱反射が十分でなく、液晶表示装置（特に、直視型の反射型液晶パネル）としての明るさに問題があった。

## 【0008】

また、従来では、反射膜（金属材料からなる画素電極）上に高い屈折率を有する配向膜を形成することで反射率が低下する問題が生じていた。例えば、蒸着アルミニウム膜（反射率91.6%）上に配向膜（屈折率1.6）を設けた場合、計算値では87.4%、実際の実験結果では、反射率が85～86%程度にまで低下していた。また、金属材料として銀を用いた場合、銀電極の反射率は97.6%と高いが、酸化しやすく、プロセス上用いることは困難であった。

## 【0009】

そこで、本明細書で開示する発明は、上記問題を解決し、従来と比較して入射光がより効率よく反射するような反射膜を備えた新規な液晶表示装置の構成およびその作製方法を提供することを課題とする。

## 【0010】

## 【課題を解決するための手段】

本明細書中で開示する本発明の第1の構成は、

基板上にスイッチング素子と、

前記スイッチング素子と接続された透明性導電膜からなる画素電極と、

前記画素電極と接して設けられた誘電体多層膜からなる反射膜とを有することを

特徴とする液晶表示装置である。

【0011】

さらに、第2の構成は、

基板上に画素電極と、前記画素電極に接続されているスイッチング素子と、反射膜とを備えた液晶表示装置であって、

前記画素電極は、透明性導電膜で構成され、

前記画素電極の下方には、誘電体多層膜からなる前記反射膜が設けられていることを特徴とする液晶表示装置である。

【0012】

さらに、第3の構成は、

基板上に画素電極と、前記画素電極に接続されているスイッチング素子と、反射膜とを備えた液晶表示装置であって、

前記スイッチング素子には、容量が接続され、

前記容量は、透明性導電膜からなる共通電極と、前記共通電極上の誘電体膜と、前記誘電体膜上の透明性導電膜からなる前記画素電極とで構成され、

前記共通電極の下方には、誘電体多層膜からなる前記反射膜が設けられていることを特徴とする液晶表示装置である。

【0013】

上記第3の構成において、前記誘電体膜は、低屈折率誘電体材料で構成され、前記共通電極及び前記画素電極は、高屈折率を有する導電材料で構成されていることを特徴としている。

【0014】

上記各構成において、前記液晶表示装置は、一対の基板間に液晶が封入され、一方の基板上にマトリクス状に配置された前記画素電極と、前記画素電極に接続されている薄膜トランジスタと、反射膜とを備えた液晶表示装置であることを特徴としている。

【0015】

さらに、第4の構成は、

基板上にスイッチング素子を形成する工程と、

前記スイッチング素子の上方に誘電体多層膜からなる反射膜を形成する工程と、前記反射膜上に透明性導電膜からなる画素電極を形成する工程とを有することを特徴とする液晶表示装置の作製方法である。

【0016】

さらに、第5の構成は、

基板上にスイッチング素子を形成する工程と、

前記スイッチング素子を覆って層間絶縁膜を形成する工程と、

前記層間絶縁膜上に透明性導電膜からなる共通電極を形成する工程と、

前記共通電極上に誘電体多層膜からなる反射膜を形成する工程と、

前記反射膜上に透明性導電膜からなる画素電極を形成し、前記画素電極と前記誘電体多層膜と前記共通電極とからなる補助容量を形成する工程とを有することを特徴とする液晶表示装置の作製方法である。

【0017】

上記第4の構成または第5の構成において、前記誘電体多層膜を形成する工程は、スパッタリング法または真空蒸着法を用いて形成する工程であることを特徴としている。

【0018】

さらに、第6の構成は、

一対の基板間に液晶が封入され、一方の基板上に第1の透明電極と、

もう一方の基板上に第2の透明電極と、誘電体多層膜からなる反射膜とを有することを特徴とする液晶表示装置である。

【0019】

前記第6の構成において、前記第1の透明電極及び前記第2の透明電極は、ストライプ状に配置され、

前記第2の透明電極の下方に誘電体多層膜からなる反射膜とを有する単純マトリクス型駆動方式の液晶表示装置である。

【0020】

【発明の実施の形態】

図1は本願発明の構成の一例を簡略化して示した断面図である。

## 【0021】

本発明の液晶表示パネルは、基板110と対向基板119の間で、基板110の上に、スイッチング素子111、層間絶縁膜112、誘電体多層膜(114、115)、画素電極113、配向膜116、液晶層117、配向膜116、対向電極118がそれぞれ順次設けられている。

## 【0022】

本発明の第1の特徴は、入射光を反射する反射膜を誘電体多層膜で構成する点である。この誘電体多層膜は、低屈折率誘電体膜と高屈折率誘電体膜を交互に数層～数十層積層して構成する。なお、本発明の反射膜として用いる誘電体多層膜は、光による劣化を防ぐ保護膜としての機能をも果たしている。加えて、本発明の反射膜、即ち、誘電体多層膜は絶縁性を有するので、層間絶縁膜としての機能をも果たす。

## 【0023】

上記反射膜に用いる材料は、低屈折率誘電体膜114として $\text{SiO}_2$ 、 $\text{MgF}_2$ 、 $\text{Na}_3\text{AlF}_6$ 等を用いることができる。なお、それ以外の低屈折率誘電体材料として配向膜、アクリル、ポリイミド(屈折率1.5～1.6)を用いることもできる。また、高屈折率誘電体膜115として $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{ZnS}$ 、 $\text{ZnSe}$ 、 $\text{ZnTe}$ 、 $\text{Si}$ 、 $\text{Ge}$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{Al}_2\text{O}_3$ 等を用いることができる。また、それ以外の高屈折率を有する材料としてITO(屈折率1.98)等の透明導電体膜を用いることもできる。

## 【0024】

ただし、本発明においては、誘電体多層膜を反射膜として用いるために、必要とする反射波長帯の中心波長で $\lambda/4$ 膜となるように誘電体多層膜の膜厚を調節する必要がある。本明細書中で、 $\lambda/4$ 膜とは、屈折率をn、膜厚d、中心波長をλとした時、 $n d = \lambda/4$ の関係を満たす膜のことを指している。

## 【0025】

例えば、本発明の反射膜として低屈折率誘電体膜( $\text{SiO}_2$ :屈折率1.43)を用いる場合、可視光領域( $400\text{nm} < \lambda < 700\text{nm}$ )で $\lambda/4$ 膜となる膜厚範囲は、 $70\text{nm} \sim 122\text{nm}$ となる。

【0026】

また、本発明の反射膜として高屈折率誘電体膜（TiO<sub>2</sub>：屈折率2.2）を用いる場合、可視光領域（400nm < λ < 700nm）でλ/4膜となる膜厚範囲は、45.5nm～79.5nmとなる。

【0027】

このように低屈折率誘電体膜及び高屈折率誘電体膜の膜厚を調節し、低屈折率誘電体膜と高屈折率誘電体膜を交互に数層積層した誘電体多層膜は、反射光が干渉効果によって強め合い、効率よく反射率を向上させることができ、反射率の高い波長域を得ることができる。

【0028】

また、誘電体多層膜の層数に関して、各誘電体多層膜をλ/4膜とした場合、誘電体多層膜の層数と最大反射率の関係を表1として示した。本明細書中では、下層を低屈折率誘電体膜とし、上層を高屈折率誘電体膜とした2層を1組と呼ぶ。

【0029】

【表1】

下層が層間絶縁膜（屈折率：1.6）の場合における最大反射率（計算値）

誘電体多層膜 (1組=2層)	配向膜なし (%)	配向膜有り (%)
1組(2層)	32.3	15.1
2組(4層)	61.4	45.6
3組(6層)	80.8	71.0
4組(8層)	91.0	86.0
5組(10層)	95.9	93.6
6組(12層)	98.2	97.1

配向膜・・・屈折率1.6

誘電体多層膜

(下層) 低屈折率誘電体膜・・・酸化チタン：屈折率2.2

(上層) 高屈折率誘電体膜・・・酸化珪素：屈折率1.46

## 【0030】

表1から、誘電体多層膜の層数が多い程、反射率は高くなることが読み取れる。従って、反射率の高さを優先する場合は3組（6層）、好ましくは4組（8層）以上積層することが好ましい。

## 【0031】

一方、製造コスト、歩留まりを優先する場合は、層数を可能な限り少なくすることが好ましい。また、誘電体多層膜を成膜後、コンタクトホールを形成するため、プロセス上、誘電体多層膜の総膜厚を薄くすることが望ましい。

## 【0032】

また、層間絶縁膜112に低屈折率誘電体材料を用いた場合、層間絶縁膜112上に接して設けられた低屈折率誘電体膜114の有無に関係なく、反射率はほとんど変化しないという実験結果も得られた。従って、図2(A)に一例を示したように、スイッチング素子を覆う層間絶縁膜201に低屈折率誘電体膜(SiO<sub>2</sub>、アクリル、ポリイミド等)を用いて、低屈折率誘電体膜202を一層省略し、層数を少なくする構成とすることが好ましい。

## 【0033】

なお、本発明においては、反射膜に誘電体多層膜を用いる構成であれば、図1の構成に限定されない。例えば、透明性及び導電性を有する材料を用いて画素電極を設け、その上に誘電体多層膜を形成する構成としてもよいが、その場合、誘電体多層膜の膜厚を考慮する必要がある。なぜなら、誘電体多層膜の厚さ(総膜厚2μm以上)によっては、電圧損失が生じ、液晶のしきい値特性、応答速度等に影響を与える。従って、図1に示したように、入射光を反射する反射膜を誘電体多層膜で構成し、その上に透明性及び導電性を有する材料を用いて画素電極を設ける構成とすることが好ましい。なお、誘電体多層膜上に画素電極を設けた構成とした場合、多層、例えば12層以上としても液晶のしきい値特性、応答速度等には全く影響がない。

## 【0034】

上記画素電極113は、層間絶縁膜112及び誘電体多層膜を介してマトリクス状に配置され、且つ、薄膜トランジスタ等のスイッチング素子111に接続されている。画素電極は、透明性及び導電性を十分有する材料、例えばITO(インディウム錫酸化物)やSnO<sub>2</sub>(酸化スズ)等で構成する。従って、図2(B)に示すように、画素電極215(ITO:屈折率1.98)を、入射光を反射する反射膜の一部とする構成とすると、層数を少なくすることができるため、好ましい。この場合、画素電極215の膜厚もλ/4膜となるように50.5nm～88.4nmの範囲で調節する。

## 【0035】

また、本発明において、それぞれの誘電体膜の膜厚や材料を適宜変更して、選

択的に反射波長を設定する構成とすることは容易である。

#### 【0036】

また、従来では、画素電極の隙間にブラックマスク等の遮光膜を形成し、スイッチング素子の光劣化を防止する必要があったが、本発明においては、画素電極の隙間の下方に設けられた誘電体多層膜が、斜め方向からの光に対して確実な遮光機能を果たす。

#### 【0037】

また、上記誘電体多層膜を形成する方法としては、スパッタリング法または真空蒸着法等が挙げられるが、本発明は特に限定されない。本発明においては、層間絶縁膜上または画素電極上に設ける誘電体多層膜の膜厚が均一に成膜されることが望ましい。

#### 【0038】

図1には、誘電体多層膜を4組、計8層で構成した例を示した。図1の構成では、従来の金属材料からなる反射電極と同程度の反射率が得られた。従って、誘電体多層膜の材料、膜厚、層数等を適宜変更すれば、例えば、5組(10層)以上の誘電体多層膜を形成する構成とすれば、配向膜を積層した構成としても反射損失が少なく、容易に90%以上の反射率が得られる。

#### 【0039】

本発明は、上記誘電体多層膜からなる反射膜を設けることにより、従来の構成(金属材料からなる画素電極を反射膜とする)と比較して、光の利用効率を向上させることができ、且つ、従来問題となっていた配向膜による反射率の低下を抑えることができる。本発明を用いると、90%以上の反射率を得ることが可能となった。

#### 【0040】

##### 【実施例】

##### 【実施例1】

本実施例では本発明を利用して反射型LCDの画素マトリクス回路を作製する工程例を図3、4を用いて説明する。なお、本発明は反射膜に関する技術であるため、スイッチング素子構造、例えばTFT構造自体は本実施例に限定されるも

のではない。

#### 【0041】

まず、絶縁表面を有する基板301を用意する。基板としては、ガラス基板、石英基板、セラミックス基板、半導体基板を用いることができる。本実施例においてはガラス基板を用いた。次に、基板上に下地膜（図示しない）を設ける。下地膜は、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜を100～300nmの膜厚で利用することができる。本実施例では、TEOSを原料に用い、酸化珪素膜を200nmの膜厚に形成する。なお、石英基板のように十分平坦性を有しているなら、下地膜は特に設けなくともよい。

#### 【0042】

次に、基板または下地膜の上に活性層を形成する。活性層は膜厚が20～100nm（好ましくは25～70nm）の結晶性半導体膜（代表的には結晶性珪素膜）で構成すれば良い。結晶性珪素膜の形成方法は公知の如何なる手段、例えば、レーザー結晶化、熱結晶化等を用いても良いが、本実施例では結晶化の際に結晶化を助長する触媒元素（ニッケル）を添加している。この技術については特開平7-130652号公報、特願平8-335152号等に詳細に記載されている。そして、その結晶性珪素膜を通常のフォトリソ工程でパターニングして膜厚50nmの活性層302～304を得た。なお、本実施例では3つのTFTのみ記載することになるが実際には100万個以上のTFTが画素マトリクス回路内に形成される。

#### 【0043】

次に、ゲート絶縁膜305として150nmの厚さの酸化珪素膜を形成した。ゲート絶縁膜305としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜またはこれらの積層膜を100～300nmの膜厚で用いることができる。その後、ゲート絶縁膜上に0.2wt%のスカンジウムを含有させたターゲットを用いてアルミニウムを主成分とする膜（図示せず）を成膜し、パターニングによりゲート電極の原型となる島状パターンを形成した。

#### 【0044】

本実施例では、ここで特開平7-135318号公報に記載された技術を利用した。なお、詳細は同公報を参考にすると良い。

## 【0045】

まず、上記島状パターン上にバーニングで使用したレジストマスクを残したまま、3%のシュウ酸水溶液中で陽極酸化を行った。この時、白金電極を陰極として2~3mVの化成電流を流し、到達電圧は8Vとする。こうして、多孔質状の陽極酸化膜306~308が形成された。

## 【0046】

その後、レジストマスクを除去した後に3%の酒石酸のエチレングリコール溶液をアンモニア水で中和した溶液中で陽極酸化を行った。この時、化成電流は5~6mVとし、到達電圧は100Vとすれば良い。こうして、緻密な陽極酸化膜309~311が形成された。

## 【0047】

そして、上記工程によってゲート電極312~314が画定した。なお、画素マトリクス回路ではゲート電極の形成と同時に1ライン毎に各ゲート電極を接続するゲート線も形成されている。（図3（A））

## 【0048】

次に、陽極酸化膜306~311及びゲート電極312~314をマスクとしてゲート絶縁膜305をエッティングする。エッティングはCF<sub>4</sub>ガスを用いたドライエッティング法により行った。これにより315~317で示される様な形状のゲート絶縁膜が形成された。

## 【0049】

そして、陽極酸化膜306~308をエッティングにより除去し、この状態で一導電性を付与する不純物イオンをイオン注入法またはプラズマドーピング法により添加する。この場合、画素マトリクス回路をN型TFTで構成するならばP（リン）イオンを、P型TFTで構成するならばB（ボロン）イオンを添加すれば良い。

## 【0050】

なお、上記不純物イオンの添加工程は2度に分けて行う。1度目は80keV程度の高加速電圧で行い、ゲート絶縁膜315~317の端部（突出部）の下に不純物イオンのピークがくる様に調節する。そして、2度目は5keV程度の低

加速電圧で行い、ゲート絶縁膜315～317の端部（突出部）の下には不純物イオンが添加されない様に調節する。

## 【0051】

こうしてTFTのソース領域318～320、ドレイン領域321～323、低濃度不純物領域（LDD領域とも呼ばれる）324～326、チャネル形成領域327～329が形成された。（図3（B））

## 【0052】

この時、ソース／ドレイン領域は300～500Ω／□のシート抵抗が得られる程度に不純物イオンを添加することが好ましい。また、低濃度不純物領域はTFTの性能に合わせて最適化を行う必要がある。また、不純物イオンの添加工程が終了したら熱処理を行い、不純物イオンの活性化を行った。

## 【0053】

次に、第1の層間絶縁膜330として酸化珪素膜を400nmの厚さに形成し、その上にソース電極331～333、ドレイン電極334～336を形成した。（図3（C））また、第1の層間絶縁膜としては酸化珪素膜の他に酸化窒化珪素あるいは他の絶縁材料を使用することが可能である。

## 【0054】

なお、本明細書では、図3（C）において、343で示される領域内に構成された素子をスイッチング素子（代表的にはTFT、MIM素子でも良い）と呼ぶ。なお、本明細書中では、この後で形成される層間絶縁膜337や画素電極をスイッチング素子の構成には含まないものとする。

## 【0055】

次に、第2の層間絶縁膜337として酸化珪素膜を0.5～1μmの厚さに形成する。また、第2の層間絶縁膜337として、酸化窒化珪素膜、有機性樹脂膜等を用いることも可能である。有機性樹脂膜としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等を用いることができる。本実施例では、アクリル膜を1μmの厚さに成膜した。（図3（D））

## 【0056】

なお、第2の層間絶縁膜337を形成した後、CMP研磨等の平坦化処理を施

す工程としてもよい。平坦化処理する際は、残存する凹凸部の高さ（山の頂上と谷の底の間の鉛直方向の距離）が後に形成される画素電極の厚さの10%以内となる条件で行なうことが好ましい。平坦化処理をすることで、後に形成する誘電体多層膜の膜厚を均一なものとすることができる。

## 【0057】

そして、第2の層間絶縁膜337上に誘電体多層膜からなる反射膜を形成する。誘電体多層膜344は、低屈折率誘電体膜341と高屈折率誘電体膜342を、交互に数層～数十層積層して形成する。なお、それぞれの膜厚は、必要とする反射波長帯の中心波長で $\lambda/4$ 膜となるように調節する必要がある。

## 【0058】

上記誘電体多層膜344に用いる材料は、低屈折率誘電体膜341として $\text{SiO}_2$ 、 $\text{MgF}_2$ 、 $\text{Na}_3\text{AlF}_6$ 等を、また、高屈折率誘電体膜342として $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{ZnS}$ 、 $\text{ZnSe}$ 、 $\text{ZnTe}$ 、 $\text{Si}$ 、 $\text{Ge}$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{Al}_2\text{O}_3$ 等を用いることができる。なお、それ以外の低屈折率誘電体材料として配向膜、アクリル、ポリイミド（屈折率1.5～1.6）を用いることもできる。また、ITO（屈折率1.98）等の透明導電体膜を用いることもできる。

## 【0059】

本実施例では、低屈折率誘電体膜341として、 $\text{SiO}_2$ （屈折率1.43）、高屈折率誘電体膜342として $\text{TiO}_2$ （屈折率2.2）を用いた。

## 【0060】

可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となるように、誘電体多層膜の膜厚を調節する。上記可視光領域で $\lambda/4$ 膜となるような低屈折率誘電体膜（ $\text{SiO}_2$ ）の膜厚の範囲は、 $70\text{nm} \sim 122\text{nm}$ である。また、上記可視光領域で $\lambda/4$ 膜となるような高屈折率誘電体膜（ $\text{TiO}_2$ ）の膜厚の範囲は、 $45.5\text{nm} \sim 79.5\text{nm}$ である。このような膜厚に調節すると、必要とする反射波長帯の光が干渉効果によって強め合い効率よく反射させることができる。本実施例では、誘電体多層膜は、膜厚 $70\text{nm}$ の低屈折率誘電体膜341と、膜厚 $50\text{nm}$ の高屈折率誘電体膜342の2層を1組とした時、4組、計8層（

960nm)で構成した。(図4(A))

#### 【0061】

なお、上記各誘電体膜の材料や膜厚に限定されないことは言うまでもなく、それぞれの誘電体膜の膜厚や材料を適宜変更して、選択的に反射波長を設定する構成とするもできる。

#### 【0062】

なお、本実施例においては、層間絶縁膜上に設ける誘電体多層膜の膜厚が均一に成膜されることが望ましいため、公知の方法である真空蒸着法を用いた。誘電体多層膜を形成する方法としては、本実施例に限定されることはなく、他の方法としては、スパッタリング法等が挙げられる。

#### 【0063】

次に、誘電体多層膜341、342および層間絶縁膜337をエッチングし、コンタクトホールの形成を行う。本実施例においては、酸溶液である1/100に希釀したフッ化水素溶液を用いて誘電体多層膜をウェットエッチングした。(図4(B))

#### 【0064】

そして、透明性を有する導電性膜、本実施例ではITO膜を120nmの厚さに成膜し、バーニングにより画素電極338～340を形成した。こうして図4(C)に示す状態が得られた。なお、従来では、画素電極の隙間にブラックマスク等の遮光膜を形成する必要があったが、本実施例においては、その必要はなく、画素電極の隙間の下方に設けられている誘電体多層膜が、斜め方向からの光に対して確実な遮光機能を果たし、スイッチング素子の光劣化を防ぐ。

#### 【0065】

次に、配向膜を公知の方法、本実施例では、塗布法によって形成した。

#### 【0066】

以上の様にして、画素マトリクス回路が完成した。実際には画素TFTを駆動する駆動回路等も同一基板上に同時形成される。この様な基板は通常TFT側基板またはアクティブマトリクス基板と呼ばれる。本明細書中ではアクティブマトリクス基板のことを第1の基板と呼ぶことにする。

## 【0067】

第1の基板が完成したら、透明性基板に対向電極を形成した対向基板（本明細書中ではこの基板を第2の基板と呼ぶことにする）を貼り合わせ、それらの間に液晶層を挟持する。こうして、反射型LCDが完成する。

## 【0068】

なお、このセル組み工程は公知の方法に従って行えば良い。また、液晶層に二色性色素を分散させたり、対向基板にカラーフィルターを設けたりすることも可能である。その様な液晶層の種類、カラーフィルターの有無等はどの様なモードで液晶を駆動するかによって変化するので実施者が適宜決定すれば良い。

## 【0069】

上記作製工程によって得られた反射型LCDを図1に示す。図1は本実施例の簡略断面図である。

## 【0070】

本実施例で作製された液晶表示パネルは、基板110と対向基板119の間で、基板110の上に、スイッチング素子111、層間絶縁膜112、画素電極113、低屈折率誘電体膜114、高屈折率誘電体膜115、配向膜116、液晶層117、配向膜116、対向電極118がそれぞれ順次設けられている。

## 【0071】

なお、図1は、図3及び図4と対応しており、図1中の層間絶縁膜は図3中の第2の層間絶縁膜337と対応し、図1中の画素電極113は図3中の画素電極338～340と対応し、図1中の低屈折率誘電体膜114は、図3中の341と対応し、図1中の高屈折率誘電体膜115は、図3中の342と対応している。

## 【0072】

本実施例（誘電体多層膜+配向膜）における反射率は、従来（金属薄膜+配向膜）と同程度の反射率（80～90%未満）が得られた。このように本実施例は、金属薄膜に代えて、誘電体多層膜が反射膜として十分使用可能であることを示した。従って、本実施例における誘電多層膜の層数、材料、膜厚等を適宜変更すれば、従来と比較して反射率を向上させることができる。例えば、誘電多層膜を5

組（10層）とすると計算上、93.6%（表1参照）が得られ、6組（12層）とすると計算上、97.1%が得られる。なお、本実施例の構成において誘電多層膜の層数を増加させることは容易である。

## 【0073】

また、本実施例では示さなかつたが、対向基板と対向電極の間にカラーフィルターを配置した構成としてもよい。

## 【0074】

## 【実施例2】

実施例1で示した作製工程では、8層からなる誘電体多層膜を形成した例を示した。本実施例では、第2の層間絶縁膜337として、低屈折率誘電体材料を用い、7層からなる誘電体多層膜を形成した例を以下に図2（A）を用いて説明する。なお、途中（図3（C））までは実施例1に示した反射型LCDの作製工程と同一であるので、ここでは異なる点のみについて説明する。

## 【0075】

まず、実施例1の作製工程と同一の方法を用いて、図3（C）の構成を得る。次に、ただし、第2の層間絶縁膜337として、低屈折率誘電体材料を用いる。本実施例では、層間絶縁膜201として、膜厚1μmのアクリル膜を形成した。

## 【0076】

なお、後に形成する誘電体多層膜を絶縁体として用いることが可能であるなら、CMP等の平坦化処理を施し、層間絶縁膜201の膜厚を薄くする構成は、プロセス上、特にコンタクトホールを容易に形成しやすくなるため好ましい。

## 【0077】

そして、本実施例では、層間絶縁膜201上に高屈折率誘電体膜（ZrO<sub>2</sub>：膜厚50nm）を形成した。その後、低屈折率誘電体膜（SiO<sub>2</sub>：膜厚70nm）202と高屈折率誘電体膜203（ZrO<sub>2</sub>：膜厚50nm）の組を3組、計6層（720nm）形成した。可視光領域（400nm<λ<700nm）でλ/4膜となるように、それぞれ誘電体膜の膜厚を調節する。

## 【0078】

本実施例では、低屈折率誘電体膜202として、SiO<sub>2</sub>（屈折率1.43、膜

厚範囲は、70 nm～122 nm)、高屈折率誘電体膜201としてZrO<sub>2</sub>(屈折率2.04、膜厚範囲は、49 nm～85.8 nm)を用いた。

## 【0079】

本実施例(SiO<sub>2</sub>)以外の低屈折率誘電体材料として、MgF<sub>2</sub>、Na<sub>3</sub>AlF<sub>6</sub>、配向膜、アクリル、またはポリイミド(屈折率1.5～1.6)を用いることもできる。また、本実施例(ZrO<sub>2</sub>)以外の高屈折率誘電体材料として、TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、ZnS、ZnSe、ZnTe、Si、Ge、Y<sub>2</sub>O<sub>3</sub>、Al<sub>2</sub>O<sub>3</sub>等を用いることができる。

## 【0080】

そして、実施例1と同様にコンタクトホールを形成し、透明性導電膜からなる画素電極205を形成した。本実施例における層間絶縁膜201は、低屈折率を有している。従って、実質的には、低屈折率誘電体膜と高屈折率誘電体膜の組を4組形成した場合(実施例1)と同程度の反射率を得ることができる。

## 【0081】

その後、実施例1と同様に、配向膜206を形成し、第1の基板を作製した。(図2(A))

## 【0082】

このような構成とすることで、誘電体多層膜の層数及び総膜厚を削減し、実施例1と比較して容易にコンタクトホールの形成を行うことができた。

## 【0083】

## 【実施例3】

実施例1で示した作製工程では、8層からなる誘電体多層膜を形成した例を示した。本実施例では、7層の誘電体多層膜を形成し、その上に高屈折率を有する材料として、画素電極を形成した例を以下に図2(B)を用いて説明する。なお、途中(図3(C))までは実施例1に示した反射型LCDの作製工程と同一であるので、ここでは異なる点のみについて説明する。

## 【0084】

まず、実施例1の作製工程と同一の方法を用いて、図3(C)の構成を得る。

## 【0085】

次に、第2の層間絶縁膜337上に低屈折率誘電体膜212と高屈折率誘電体膜213の組を3組、計6層成膜し、その上に低屈折率誘電体膜を1層成膜して誘電体多層膜214（7層）を形成した。

## 【0086】

本実施例では、低屈折率誘電体膜（ $\text{SiO}_2$ ：膜厚70nm）と高屈折率誘電体膜（ $\text{TiO}_2$ ：膜厚50nm）の組を3組、計6層形成したが、本実施例の材料、膜厚、層数等に限定されないことは言うまでもない。ただし、効率よく反射率を得るために、可視光領域（400nm <  $\lambda$  < 700nm）で  $\lambda/4$  膜となるように、それぞれ誘電体膜の膜厚を調節することが好ましい。

## 【0087】

そして、実施例1と同様にコンタクトホールを形成し、高屈折率を有した透明性導電膜からなる画素電極215（膜厚60nm）を形成した。本実施例における透明性導電膜は、反射膜の一部として用いるため、可視光領域（400nm <  $\lambda$  < 700nm）で  $\lambda/4$  膜となるように、画素電極の膜厚を50.5nm～88.4nmの範囲で調節することが好ましい。このような膜厚とすることで、実質的には、低屈折率誘電体膜と高屈折率誘電体膜の組を4組形成した場合（実施例1）と同程度の反射率を得ることができる。

## 【0088】

その後、実施例1と同様に、配向膜216を形成し、第1の基板を作製した。（図2（B））

## 【0089】

このような構成とすることで、誘電体多層膜の層数及び総膜厚を削減し、実施例1と比較して容易にコンタクトホールの形成を行うことができた。

## 【0090】

なお、本実施例と実施例2と組合せて、さらに層数を削減する構成とすることは容易である。この場合、層間絶縁膜と、6層の誘電体多層膜214と、画素電極215とで、実施例1と同程度の反射率を得ることができる。

## 【0091】

## 〔実施例4〕

実施例1で示した作製工程では、8層からなる誘電体多層膜を形成した例を示した。本実施例では、画素電極と誘電体多層膜を用いて補助容量を形成する例を図5を用いて以下に説明する。なお、途中(図3(C))までは実施例1に示した反射型LCDの作製工程と同一であるので、ここでは異なる点のみについて説明する。

## 【0092】

まず、実施例1の作製工程と同一の方法を用いて、図3(C)の構成を得る。

## 【0093】

次に、層間絶縁膜上に低屈折率誘電体膜501と高屈折率誘電体膜502の組を3組、計6層成膜し、その上に低屈折率誘電体膜を1層成膜し、誘電体多層膜500を形成した。

## 【0094】

本実施例においては、次に、高屈折率を有する材料からなる共通電極503(第1の透明性導電膜)を形成し、バターニングを施す。さらに、低屈折率誘電体膜を1層形成する。そして、コンタクトホールを形成し、再度、高屈折率を有する材料からなる第2の透明性導電膜を形成し、バターニングを施して、画素電極504を形成した。なお、第1の透明性導電膜からなる共通電極503は、共通配線と接続する。

## 【0095】

ただし、共通電極503(第1の透明性導電膜)の膜厚と、画素電極(第2の透明性導電膜)504の膜厚は、反射膜の一部として用いるため、可視光領域( $400\text{nm} < \lambda < 700\text{nm}$ )で $\lambda/4$ 膜となるように、 $50.5 \sim 88.4\text{nm}$ の範囲で調節することが好ましい。このような膜厚とすることで、実質的には、低屈折率誘電体膜と高屈折率誘電体膜の組を5組形成した場合と同程度の反射率93.6%(計算上)を得ることができる。

## 【0096】

その後、実施例1と同様に、配向膜506を形成し、第1の基板を作製した。(図5)

## 【0097】

図5に示す構成とすることで、共通電極（第1の透明性導電膜）503と、低屈折率誘電体膜501と、画素電極（第2の透明性導電膜）504とで補助容量505を形成することができた。この補助容量は、実用上、十分な容量を得ることができた。

## 【0098】

なお、本実施例と実施例2または実施例3と組み合わせることは容易である。

## 【0099】

## 〔実施例5〕

実施例4で示した作製工程では、画素電極と誘電体多層膜を用いて補助容量を形成する例を示した。本実施例では、画素電極604と、低屈折率誘電体膜601と、透明性導電膜からなる共通電極602とを用いて補助容量605を形成する例（図6（A）容量構成1）を以下に説明する。なお、途中（図3（C））までは実施例1に示した反射型LCDの作製工程と同一であるので、ここでは異なる点のみについて説明する。

## 【0100】

まず、実施例1の作製工程と同一の方法を用いて、図3（C）の構成を得る。

## 【0101】

次に、第1の透明性導電膜からなる膜、例えばITO膜を成膜し、パターニングして共通電極602を得た後、前記共通電極を覆って、低屈折率誘電体膜601を形成する。この工程を2回繰り返し、反射膜を形成する。

## 【0102】

次に、コンタクトホールを形成した。本実施例の構成において、コンタクトホール形成領域には層間絶縁膜と低屈折率誘電体膜601のみが積層されており、低屈折率誘電体膜を同一材料で構成した場合、エッチングを比較的容易に行うことができる。

## 【0103】

次に、高屈折率を有する材料からなる第2の透明性導電膜を成膜し、パターニングを施して、画素電極604を形成した。なお、共通電極602は、共通配線と接続する。

【0104】

ただし、共通電極602（第1の透明性導電膜）の膜厚と、画素電極（第2の透明性導電膜）604の膜厚は、反射膜の一部として用いるため、可視光領域（ $400\text{ nm} < \lambda < 700\text{ nm}$ ）で $\lambda/4$ 膜となるように $50.5 \sim 88.4\text{ nm}$ の範囲で調節することが好ましい。

【0105】

その後、実施例1と同様に、配向膜606を形成し、第1の基板を作製した。  
(図6 (A))

【0106】

図6 (A) に示す構成とすることで、共通電極602と、低屈折率誘電体膜601と、画素電極604とで補助容量605を形成することができた。なお、共通電極602は、フローティング状態であっても容量が形成される。従って、低屈折率誘電体膜601を間に挟む共通電極602の間にも容量が形成される。なお、材料、膜の厚さ、積層数等を適宜変更することによって、補助容量605を自由に設計することができる。

【0107】

なお、本実施例と実施例2または実施例3と組み合わせることは容易である。

【0108】

【実施例6】

実施例5で示した作製工程では、画素電極と、低屈折率誘電体膜と、透明性導電膜からなる共通電極とを用いて補助容量を形成する例を示した。本実施例では、さらに大きな補助容量を形成する例（図6 (B) 容量構成2）を以下に説明する。なお、途中（図3 (C)）までは実施例1に示した反射型LCDの作製工程と同一であるので、ここでは異なる点のみについて説明する。

【0109】

まず、実施例1の作製工程と同一の方法を用いて、図3 (C) の構成を得る。

【0110】

次に、第1の透明性導電膜からなる膜、例えばITO膜を成膜し、パターニングして共通電極612を得た後、前記共通電極612を覆って、低屈折率誘電体

膜611を形成する。

【0111】

次に、第1のコンタクトホールの形成を行い、透明性導電膜からなる容量電極613を形成し、スイッチング素子のドレイン電極と接続する。

【0112】

その後、前記容量電極613を覆って、低屈折率誘電体膜611を形成する。そして、再度、第1の透明性導電膜からなる膜、例えばITO膜を成膜し、パターニングして共通電極612を得た後、前記共通電極を覆って、低屈折率誘電体膜611を形成する。

【0113】

次に、第2のコンタクトホールの形成を行い、透明性導電膜からなる画素電極614をパターニングによって形成し、容量電極613と接続する。

【0114】

なお、共通電極612は、共通配線と接続した。ただし、全ての共通電極を接続する必要はなく、適宜接続することが望ましい。

【0115】

上記工程とすることで得られる構成は、画素電極614と、低屈折率誘電体膜611と、共通電極612とで構成される補助容量と、容量電極613と、低屈折率誘電体膜611と、共通電極612とで構成される補助容量を形成することができる。

【0116】

このように、開口率を下げることなく補助容量を大きくとれるため、本実施例は、特に、小さな高精細パネルを用いるプロジェクタ装置に有効である。

【0117】

【実施例7】

本実施例では、アクティブマトリクス駆動を行うための半導体素子として、実施例1で示したTFTとは異なる構造のTFTを利用する場合の例について説明する。なお、本実施例で説明する構造のTFTは実施例2～6に対しても容易に適用することができる。

## 【0118】

実施例1～6では代表的なトップゲイト型TFTであるコプレナー型TFTを一例として記載したが、ボトムゲイト型TFTであっても構わない。図7に示すのはボトムゲイト型TFTの代表例である逆スタガ型TFTを用いた例である。

## 【0119】

図7において、701はガラス基板、702、703はゲイト電極、704はゲイト絶縁膜、705、706は活性層である。活性層705、706は意図的に不純物を添加しない珪素膜で構成される。

## 【0120】

また、707、708はソース電極、709、710はドレイン電極であり、711、712はチャネルストッパー（またはエッティングストッパー）となる窒化珪素膜である。即ち、活性層705、706のうち、チャネルストッパー711、712の下に位置する領域が実質的にチャネル形成領域として機能する。

## 【0121】

以上までが逆スタガ型TFTの基本構造である。

## 【0122】

本実施例では、この様な逆スタガ型を有機性樹脂膜でなる層間絶縁膜713で覆って平坦化し、層間絶縁膜上に本発明の誘電体多層膜716（低屈折率誘電体膜717、高屈折率誘電体膜718）を形成し、その上に画素電極714、715を形成し、配向膜719を成膜する構成とする。

## 【0123】

また、次に本発明の半導体素子として絶縁ゲイト型電界効果トランジスタ（IGFET）を形成した場合の例について説明する。なお、IGFETはMOSFETとも呼ばれ、シリコンウェハー上に形成されたトランジスタを指す。

## 【0124】

図8において、801はガラス基板、802、803はソース領域、804、805はドレイン領域である。ソース／ドレイン領域はイオン注入で不純物を添加し、熱拡散させることで形成できる。なお、806は素子分離用の酸化物であり、通常のLOCOS技術を用いて形成できる。

## 【0125】

次に、807はゲイト絶縁膜、808、809はゲイト電極、810は第1の層間絶縁膜、811、812はソース電極、813、814はドレイン電極である。その上を第2の層間絶縁膜815で平坦化し、その平坦面上に本発明の誘電体多層膜818（低屈折率誘電体膜819、高屈折率誘電体膜820）を形成し、画素電極816、817を形成する。そして、配向膜821を成膜する。

## 【0126】

なお、本実施例で示したIGFET、トップゲイト型またはボトムゲイト型TFT以外にも、薄膜ダイオード、MIM素子、バリスタ素子等を用いたアクティブラチックスディスプレイに対しても本発明は適用できる。

## 【0127】

以上、本実施例に示した様に、本発明はあらゆる構造の半導体素子を用いた反射型LCDに対して適用可能である。

## 【0128】

〔実施例8〕 実施例1～7に示した構成を含む第1の基板（素子形成側基板）を用いてAMLCDを構成した場合の例について説明する。ここで本実施例のAMLCDの外観を図9に示す。

## 【0129】

図9(A)において、901はアクティブラチックス基板であり、画素マトリクス回路902、ソース側駆動回路903、ゲート側駆動回路904が形成されている。駆動回路はN型TFTとP型TFTとを相補的に組み合わせたCMOS回路で構成することが好ましい。また、905は対向基板である。

## 【0130】

図9(A)に示すAMLCDはアクティブラチックス基板901と対向基板905とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板905を取り除き、露出したアクティブラチックス基板に対してFPC(フレキシブル・プリント・サーキット)906を接続してある。このFPC906によって外部信号を回路内部へと伝達する。

## 【0131】

また、FPC906を取り付ける面を利用してICチップ907、908が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、γ補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図9(A)では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

## 【0132】

また、図9(B)の様な構成もとりうる。図9(B)において図9(A)と同一の部分は同じ符号を付してある。ここでは図9(A)でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路909によって行う例を示している。この場合、ロジック回路909も駆動回路903、904と同様にCMOS回路を基本として構成される。

## 【0133】

また、カラーフィルターを用いてカラー表示を行っても良いし、ECB(電界制御複屈折)モード、GH(ゲストホスト)モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

## 【0134】

## 〔実施例10〕

本願発明の構成は、AMLCD以外にも他の様々な電気光学装置や半導体回路に適用することができ、上記AMLCD以外の電気光学装置として、単純マトリクス型駆動方式の液晶表示装置やEL(エレクトロルミネッセンス)表示装置やイメージセンサ等が挙げられる。

## 【0135】

本実施例では、単純マトリクス型駆動方式の液晶表示装置に適用した場合の例を以下に示す。

## 【0136】

なお、一般的な単純マトリクス型液晶表示装置は、X方向のストライプ状電極を有する基板と、Y方向のストライプ状電極を有する基板とが、液晶層を挟んでいる構造となっている。また、単純マトリクスでは、対向するX-Y電極によって直接液晶に电压を印加している。

## 【0137】

本実施例では、本発明をSTN反射型液晶パネルに応用した例を示す。ガラス基板（第1の基板）上には、誘電体多層膜からなる光反射膜、X方向のストライプ状の第1の透明電極、配向膜が設けられている。本実施例では、誘電体多層膜からなる光反射膜を透明電極の下方に設ける構成としたが特に限定されない。もう一方のガラス基板（第2の基板）上には、Y方向のストライプ状の第2の透明電極、配向膜が設けられている。ガラス基板の配向膜が設けられた面を内側にして2枚のガラス基板を対向し、ガラス基板の間隔はセルギャップ保持部材によって確保して、この基板の隙間にSTN液晶が封止している。

## 【0138】

以下、本実施例の反射型液晶パネルの作製方法を説明する。まず、第1のガラス基板上に、誘電体多層膜からなる光反射膜を形成する。

## 【0139】

上記反射膜に用いる材料は、低屈折率誘電体膜として $\text{SiO}_2$ 、 $\text{MgF}_2$ 、 $\text{Na}_3\text{AlF}_6$ 等を用いることができる。なお、それ以外の低屈折率誘電体材料として配向膜、アクリル、ポリイミド（屈折率1.5～1.6）を用いることもできる。また、高屈折率誘電体膜として $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{ZnS}$ 、 $\text{ZnSe}$ 、 $\text{ZnTe}$ 、 $\text{Si}$ 、 $\text{Ge}$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{Al}_2\text{O}_3$ 等を用いることができる。また、それ以外の高屈折率を有する材料としてITO（屈折率1.98）等の透明導電体膜を用いることもできる。

## 【0140】

本実施例では、低屈折率誘電体膜として、 $\text{SiO}_2$ （屈折率1.43）、高屈折率誘電体膜として $\text{TiO}_2$ （屈折率2.2）を用いた。

## 【0141】

ただし、可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となるように、誘電体多層膜の膜厚を調節する。上記可視光領域で $\lambda/4$ 膜となるような低屈折率誘電体膜（ $\text{SiO}_2$ ）の膜厚の範囲は、 $70\text{nm} \sim 122\text{nm}$ である。また、上記可視光領域で $\lambda/4$ 膜となるような高屈折率誘電体膜（ $\text{TiO}_2$ ）の膜厚の範囲は、 $45.5\text{nm} \sim 79.5\text{nm}$ である。このような膜厚に調節すると、

必要とする反射波長帯の光が干渉効果によって強め合い効率よく反射させることができる。本実施例では、誘電体多層膜は、膜厚70nmの低屈折率誘電体膜と、膜厚50nmの高屈折率誘電体膜の2層を1組とした時、4組、計8層(960nm)で構成した。

## 【0142】

次に、第1の透明電極を形成する。本実施例では、ITO膜を100nm膜厚に成膜し、バターニングして、ストライプ状の透明電極を形成する。透明電極は紙面に垂直な方向に延在する構造となっている。

## 【0143】

次に、配向膜を形成する。配向膜材料にはポリイミド系の垂直配向膜を用いる。このポリイミド系の垂直配向膜をスピンドルコート法、フレキソ印刷法もしくはスクリーン印刷法によって第1の基板上に形成する。

## 【0144】

そして、もう一方のガラス基板(第2の基板)に対する処理を説明する。第2の基板上にカラーフィルタを形成し、次にカラーフィルタをアクリル樹脂、エポキシ樹脂からなる保護膜を形成する。本実施例では、保護膜を厚さ1μmのアクリル樹脂で形成する。

## 【0145】

次に、ITO(インディウム錫酸化物)やSnO<sub>2</sub>(酸化スズ)等の透明導電膜でなる第2の透明電極を形成する。本実施例では、スパッタリング法によってITO膜を成膜しバターニングして、ストライプ状の第2の透明電極を形成した。そして、ポリイミド系の垂直配向膜でなる配向膜を形成する。

## 【0146】

次に、第1の基板および第2の基板に設けられた配向膜それぞれにラビング処理を施す。ラビング方向は、基板の一つの対角線方向とし、かつ第1の基板と第2の基板を対向した状態で配向膜のラビング方向が直交するようにする。

## 【0147】

次に、一対の基板の一方に、セルギヤップ材を形成し、基板を貼り合わせるためのシール材を塗布する。本実施例では、第2の基板側の周縁部に、紫外線硬化

型樹脂でなるシール材を液晶注入口を残して塗布した。そして第1の基板と第2の基板を対向させて、セルギャップが一定にプレスし、この状態で紫外線を照射して、シール材を硬化させる。

## 【0148】

次に、液晶を液晶注入口より注入する。その後、液晶注入口に封止剤を塗布し、紫外線を照射することによって封止剤を硬化させ、液晶をセル内に完全に封止する。そして、第2の基板の背面に位相差板、偏光子、前方散乱板をそれぞれ設けた。以上の工程を経て、フルカラーSTN液晶パネルが完成した。

## 【0149】

なお、少なくとも誘電体多層膜からなる反射膜を有し、透明電極を有する単純マトリクス型駆動方式の液晶表示装置であれば、本実施例の構造及び作製工程に限定されないことはいうまでもない。

## 【0150】

## 【実施例10】

実施例8に示したAMLCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、アクティブマトリクス型液晶表示装置を搭載した製品と定義する。

## 【0151】

その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パソコン用コンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図10に示す。

## 【0152】

図10（A）はモバイルコンピュータ（モービルコンピュータ）であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本願発明は受像部2003、表示装置2005等に適用できる。

## 【0153】

図10（B）はヘッドマウントディスプレイであり、本体2101、表示装置

2102、バンド部2103で構成される。本発明は表示装置2102に適用することができる。

【0154】

図10（C）は携帯電話であり、本体2201、音声出力部2202、音声入力部2203、表示装置2204、操作スイッチ2205、アンテナ2206で構成される。本願発明は音声出力部2202、音声入力部2203、表示装置2204等に適用することができる。

【0155】

図10（D）はビデオカメラであり、本体2301、表示装置2302、音声入力部2303、操作スイッチ2304、バッテリー2305、受像部2306で構成される。本願発明は表示装置2302、音声入力部2303、受像部2306に適用することができる。

【0156】

図10（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、ミラー（偏光ビームスプリッタ等）2404、2405、スクリーン2406で構成される。本発明は表示装置2403に適用することができる。

【0157】

図10（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0158】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【0159】

【発明の効果】

本発明は、反射膜として誘電体多層膜を用い、材料、膜の厚さ、積層数等を適宜変更することによって、容易に反射率を90%以上とすることができ、広い範囲

の電子機器の液晶表示パネルとして適用できる。また、本発明の構成を用いることで、配向膜を積層した状態であっても90～100%未満の反射率を得ることができる。

## 【0160】

特に、本発明の反射型液晶LCDは、誘電体多層膜を反射膜として、その上に透明性導電膜からなる画素電極を備えた構成とすることで、高い開口率を実現することができる。

## 【0161】

また、反射膜である誘電体多層膜を誘電体として、透明性導電膜からなる画素電極と透明性導電膜からなる共通電極とで容易に補助容量を形成することができる。

## 【0162】

本発明により、従来にない明るく、視認性の良い表示の液晶パネルを得ることができる。

## 【図面の簡単な説明】

【図1】 本発明の構成の一例を示す図（実施例1）

【図2】 本発明の構成の一例を示す図（実施例2、3）

【図3】 本実施例の作製工程の一例を示す図（実施例1）

【図4】 本実施例の作製工程の一例を示す図（実施例1）

【図5】 本発明の構成の一例を示す図（実施例4）

【図6】 本発明の構成の一例を示す図（実施例5）

【図7】 本発明の構成の一例を示す図（実施例7）

【図8】 本発明の構成の一例を示す図（実施例7）

【図9】 液晶パネルの外観図を示す図（実施例8）

【図10】 本発明の応用製品の一例を説明するための図

【図11】 従来例を示す図

## 【符号の説明】

110 基板

111 スイッチング素子（TFT）

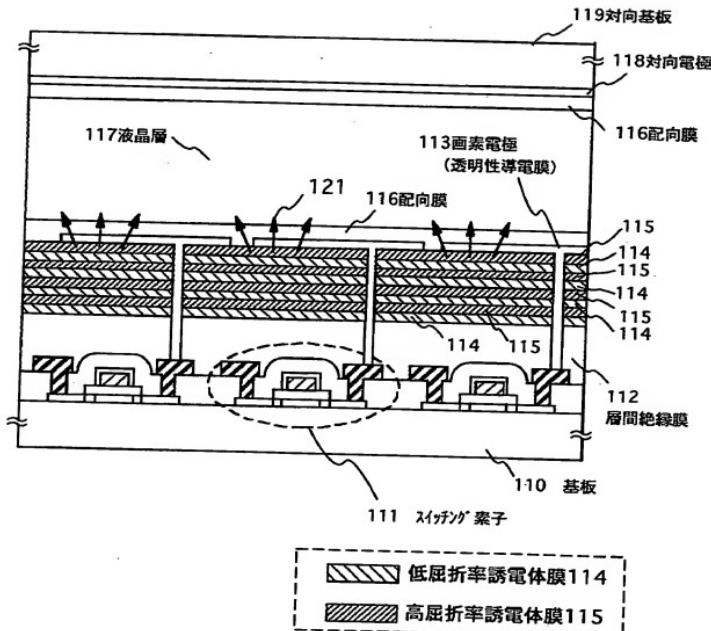
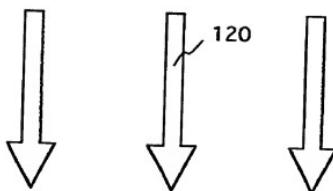
1 1 2	層間絕緣膜
1 1 3	画素電極（透明性導電膜）
1 1 4	低屈折率誘電体膜
1 1 5	高屈折率誘電体膜
1 1 6	配向膜
1 1 7	液晶層
1 1 8	対向電極
1 1 9	対向基板
1 2 0	入射光
1 2 1	反射光

【書類名】

図面

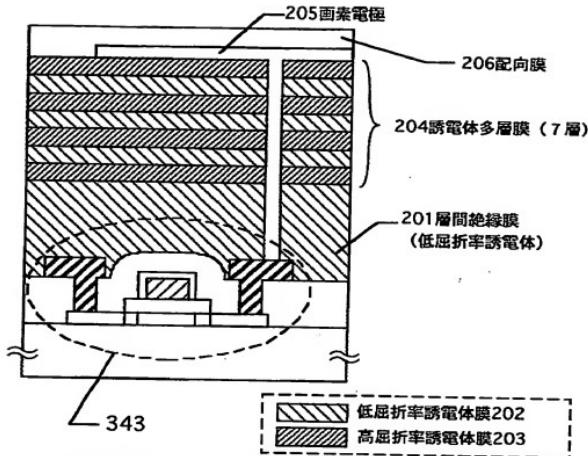
【図1】

## 入射光

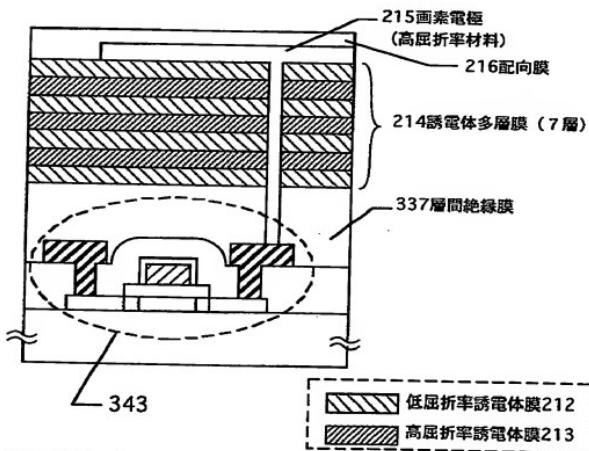


特平10-152303

【図2】

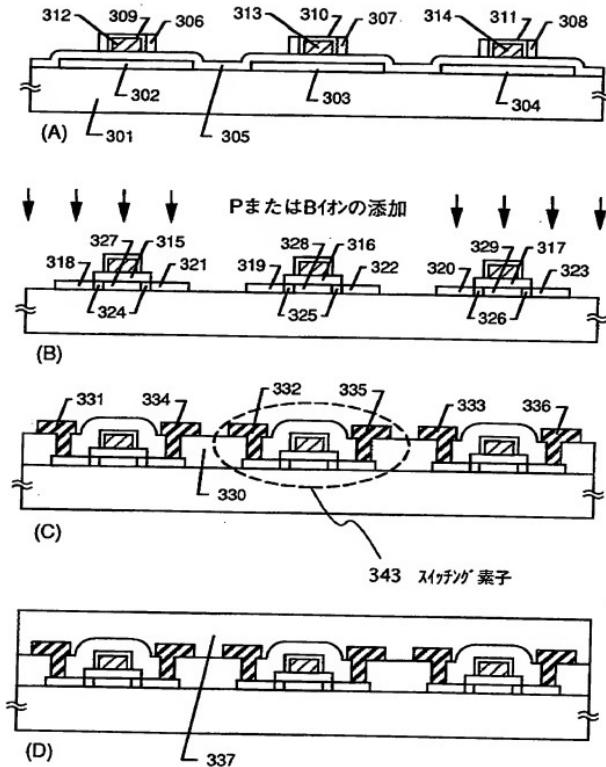


(A) 層間絶縁膜に低屈折率誘電体を用い、  
層数を少なくした構成例

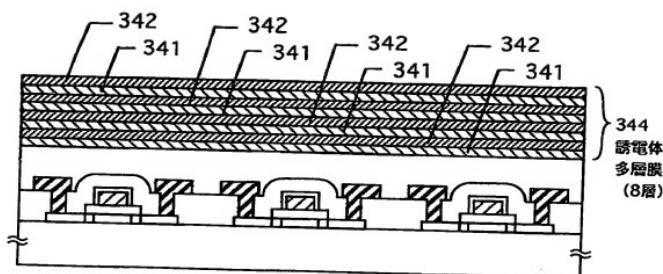


(B) 画素電極(ITO)を高屈折率材料として用い、  
層数を少なくした構成例

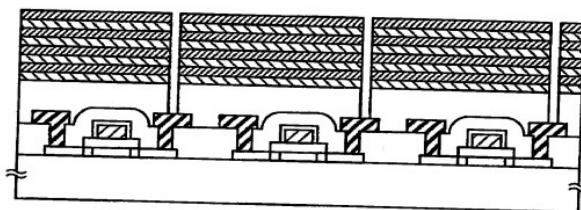
【図3】



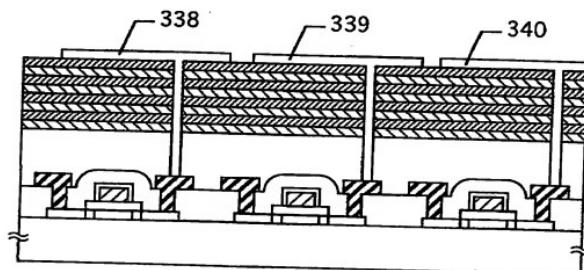
【図4】



(A) 誘電体多層膜形成工程

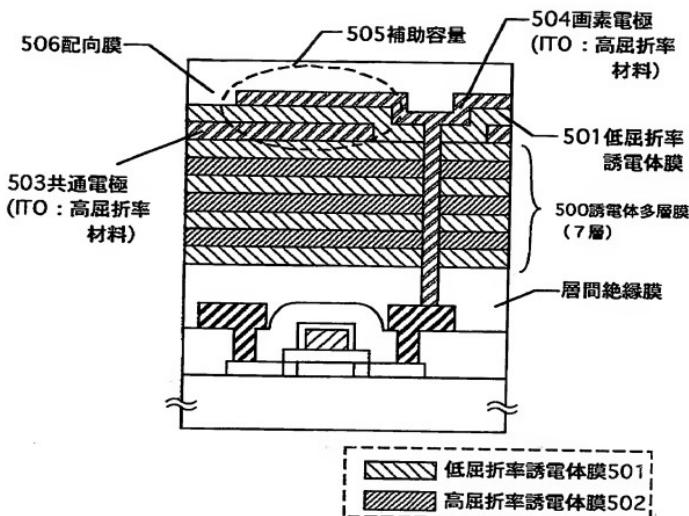


(B) コンタクトホール形成工程

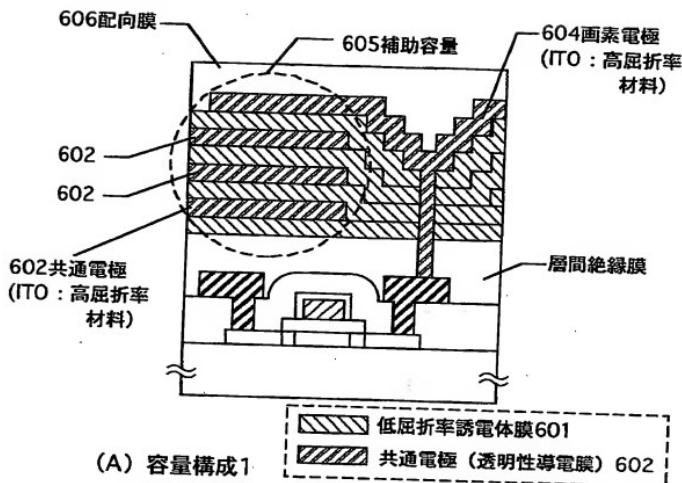


(C) 画素電極形成工程

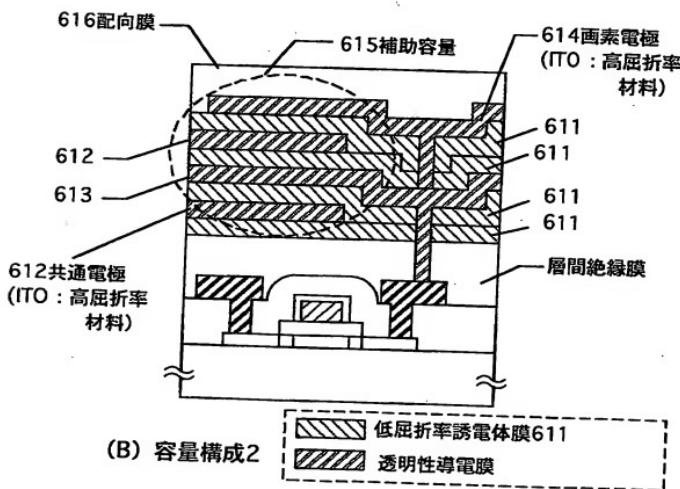
【図5】



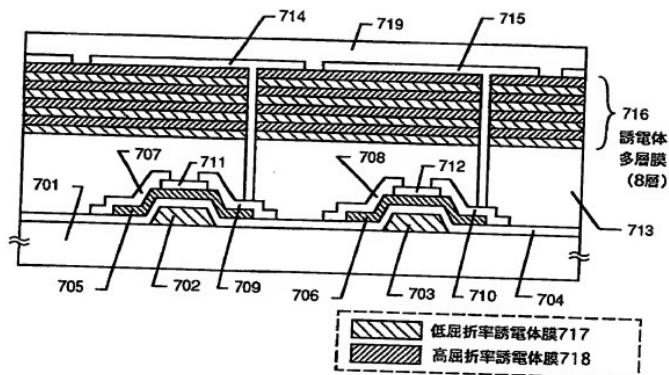
【図6】



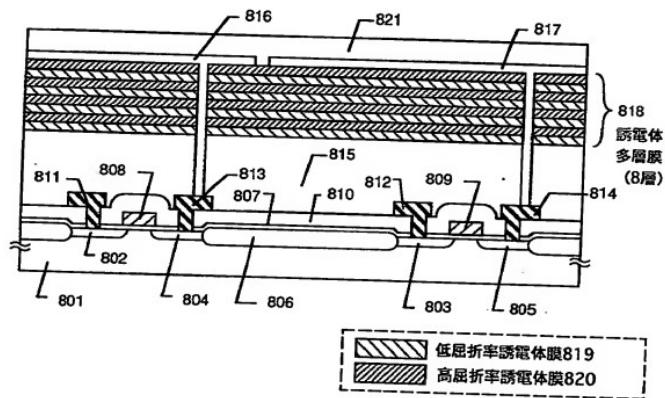
(A) 容量構成1



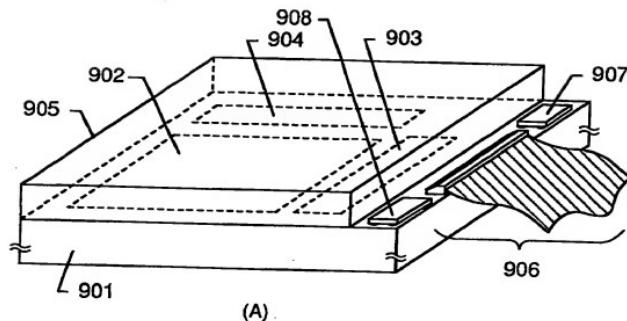
【図7】



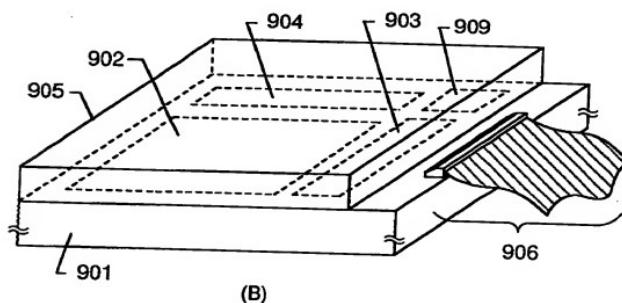
【図8】



【図9】



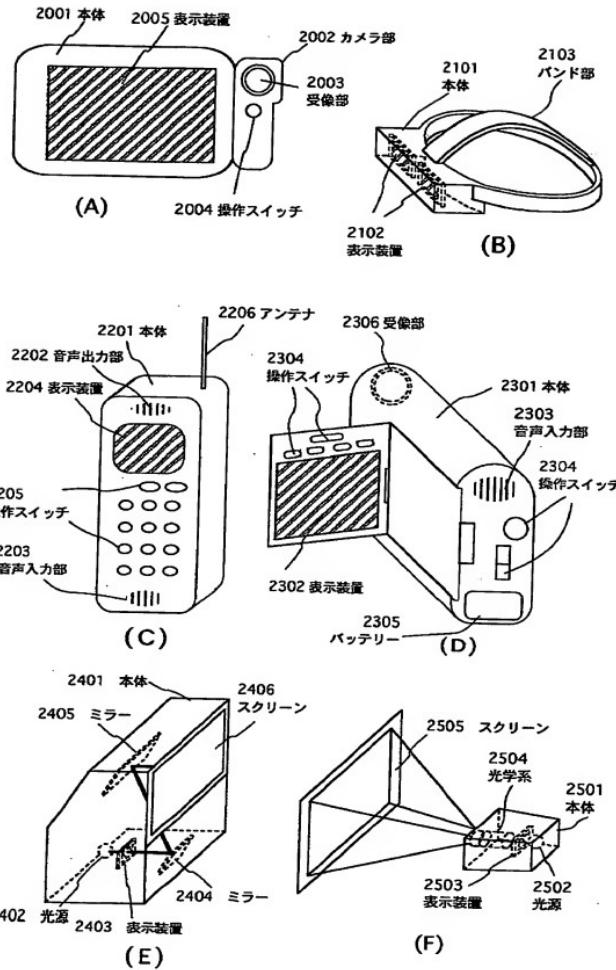
(A)



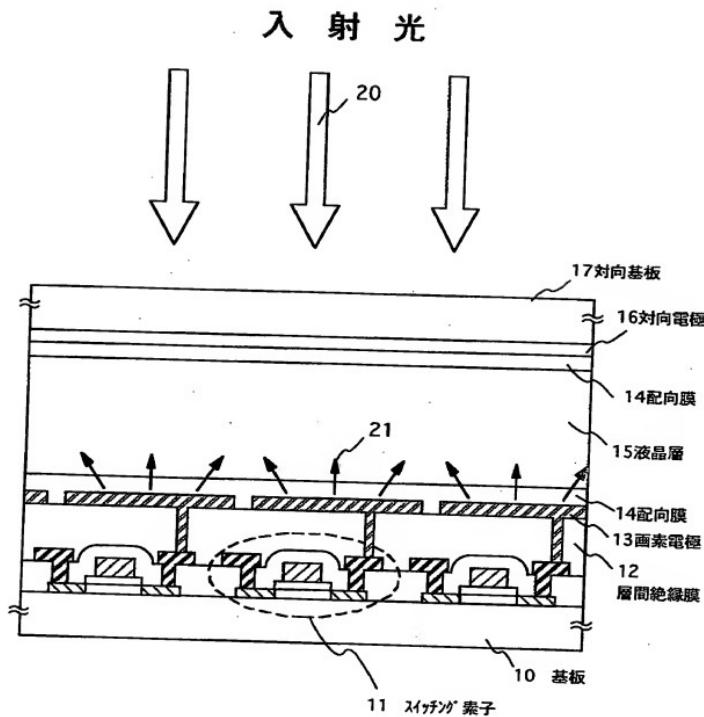
(B)

901：アクティブマトリクス基板 902：画素マトリクス回路  
903：ソース側駆動回路 904：ゲート側駆動回路 905：対向基板  
906：FPC 907、908：ICチップ 909：ロジック回路

【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 従来と比較して入射光がより効率よく反射するような光反射膜を備えた新規な液晶表示装置の構成およびその作製方法を提供することを課題とする。

【解決手段】 本発明は、誘電体多層膜を光反射膜として、その上に透明性導電膜からなる画素電極を形成することで、高い解像度と高い開口率を実現することができる。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】 申請人  
【識別番号】 000153878  
【住所又は居所】 神奈川県厚木市長谷398番地  
【氏名又は名称】 株式会社半導体エネルギー研究所

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所